

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP57124464
Publication date: 1982-08-03
Inventor(s): YAMAMOTO KENICHI
Applicant(s): MITSUBISHI DENKI KK
Requested Patent: JP57124464
Application Number: JP19810010981 19810126
Priority Number(s):
IPC Classification: H01L27/06; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent degradation due to abnormal input overvoltage by inserting two protective elements between a base and a signal input terminal.

CONSTITUTION: The two protective elements 100, 200 are inserted to an input circuit from the input terminal 6 of an IC. When the abnormal overvoltage having positive polarity is applied to the terminal 6, the voltage is clamped by a reverse direction diode consisting of an N type resistance layer 28 of the protective element 100 and a P type substrate 10 while being dropped by the N type resistance layer 28 and a P type resistance layer 32 of the protective element 200. A diode composed of the P type resistance layer 32 and an N type epitaxial growth layer 15 is forward bypassed at the same time, and bypassed by the junction capacity of the growth layer 15 and the P type substrate 10. When the abnormal voltage having negative polarity is applied to the terminal, the diode consisting of the N type resistance layer 28 and the P type substrate 10 is forward bypassed, and the abnormal overvoltage is not applied to a transistor 1.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭57-124464

⑤Int. Cl.³
 H 01 L 27/06
 27/04

識別記号
 域内整理番号
 6426-5F
 8122-5F

⑥公開 昭和57年(1982)8月3日
 発明の数 1
 審査請求 未請求

(全 5 頁)

⑦半導体集積回路装置

⑧特 願 昭56-10981
 ⑨出 願 昭56(1981)1月26日
 ⑩発明者 山本憲一

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑪出願人 三菱電機株式会社
 東京都千代田区丸の内2丁目2
 番3号
 ⑫代理人 弁理士 葛野信一 外1名

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 第1導電形の半導体基板の一方の主面上に第1導電形の分離層によつてお互いに独立した島状に形成した複数個の第2導電形半導体領域にそれぞれ半導体素子を構成してなるものにおいて、上記半導体基板の一部に第1(または第2)導電形の半導体層からなる抵抗層およびこの抵抗層を跨んでこの抵抗層との間にpn接合を構成する第2(または第1)導電形の半導体領域からなる保護素子を設け、この保護素子を介して入力信号を供給するようにしたことを特徴とする半導体集積回路装置。

(2) 保護素子が島状に形成した第2導電形半導体領域の一つに形成された第2導電形の半導体層からなる抵抗層およびこの抵抗層との間にpn接合を構成する第1導電形の半導体基板からなることを特徴とする特許請求の範囲第1項記載の半導

体集積回路装置。

(3) 保護素子は、島状に形成した第2導電形半導体領域の一つに第1導電形の半導体層からなる抵抗層を形成し、上記第2導電形半導体領域との間にpn接合を構成するようにしたことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(4) 保護素子として、島状に形成した第2導電形の第1の半導体領域に形成された第2導電形の半導体層からなる第1の抵抗層およびこの第1の抵抗層との間にpn接合を構成する第1導電形の半導体基板からなる第1の保護素子、並びに島状に形成した第2導電形の第2の半導体領域に第1の導電形の半導体層からなる第2の抵抗層を形成し上記第2導電形の第2の半導体領域との間にpn接合を構成するようにした第2の保護素子を備え、上記第1および第2の保護素子を直列に接続したことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

この発明は半導体集積回路装置に係り、特にサージ電圧などによる破壊を防止するための保護素子を有する半導体集積回路装置に関するものである。

一般に、半導体集積回路装置 (IC) は個別半導体装置に比べてサージ電圧などの異常な過電圧に対する破壊耐量が低い。これは、IC ではそのメモリットを發揮させるべく、より小さく、集積度を大きくして多機能化を計るに伴つて、IC 内に構成される半導体素子が小さくなるためである。このため、IC の取扱い上の不注意の場合もあるが、ごく普通の試験や調整を行なつているときにも、サージという現象で代表される IC の外部の要因で発生したランダムな異常な誘導過電圧が印加されたり、不用意に静電気が帯電した物体や人体と接触させられたりすると、IC の特性劣化または破壊に至らしめることがある。

例えば、周知のブレーナ技術によつて作られたアナログ IC でよく用いられる初段回路方式が差動增幅回路で構成された IC の入力回路の一部を

のを防止するために個別素子による保護素子を上記 IC に外付けして実装するとともに、IC の取扱いについては静電気が帯電しない容器に入れ、更に人体にアースをとるなどの対策を講じていた。従つて、実装面積が大きくなり、余分な外部接続が増加し、コストも増大し、かつ取扱いに注意を要し信頼性に問題を残すなど、本来の IC の利点が生かされていない。

この発明は以上のような点に鑑みてなされたもので、入力トランジスタのベースと信号入力端子との間に IC 内に一体に組み込まれた保護素子を挿入することによつて、外付きの保護素子を必要とせず、異常入力過電圧に対する耐量の大きい IC を提供することを目的としている。

第 2 図はこの発明の一実施例の構成を示す断面図、第 3 図はその上面からみた平面図を示す。図において、第 1 図の従来例と同等部分は同一符号で示す。図において、(100) は第 1 の保護素子、(200) は第 2 の保護素子である。101 は p 形シリコン基板、102、103 および 104 は p 形埋込層、105、106 および 107 は n 形埋込層、108 は

第 1 図に示す。図において、(1) および (2) はエミッタ共通接続した一对の入力 npn 形トランジスタ (TR) で差動増幅回路を構成している。(3) および (4) はベースを共通接続した一对のラテラル pnp 形負荷 TR でエミッタを電源 V_{cc} ラインに接続されている。(5) は入力 TR (1) および (2) に定電流を流す定電流吸込み npn 形 TR でエミッタを接地 (GND) ラインに接続されている。(6) および (7) はそれぞれ入力 npn 形 TR (1) および (2) のベースへ直接接続された入力端子、(8) はこの TR (2) のコレクタから出されたこの差動増幅回路の出力端子である。

上記回路構成のバイポーラ IC の入力 npn 形 TR (1) のベース入力端子 (6) にサージ電圧などの異常な過電圧が印加された場合、この TR (1) のエミッタ・ベース接合に電子なだれを生じ、雜音電圧の増大、h_{FE} の低下、リーク電流の増大などの特性劣化または、エミッタ・ベース間のショート状態を発生する。

従来、このようなサージ電圧などの異常過電圧が IC に印加され特性劣化または破壊を発生する

および 108 は n 形エビタキシアル成長層、109 はシリコン酸化膜、110 は n 形エビタキシアル成長層 111、112 および 113 をそれぞれ独立の島状に分離する p 形分離層、114、115 および 116 は p 形コレクタオール層である。まず、TR (1) については、111 は p 形ベース拡散層、112 は n 形エミッタ拡散層、113 は p 形コレクタコンタクト層で、114、115 および 116 はそれぞれ TR (1) のエミッタ、ベースおよびコレクタ電極である。次に第 1 の保護素子 (100) については、117 は n 形抵抗層、118 および 119 はその両端の電極である。そして第 2 の保護素子 (200) については、120 は p 形コレクタコンタクト層、121 は p 形抵抗層、122 および 123 はその両端の電極、124 は第 2 の保護素子 (200) の島状の n 形エビタキシアル成長層 110 の引出電極である。

この実施例の第 1 の保護素子 (100) および第 2 の保護素子 (200) の形成方法は、周知のブレーナ製造技術によつて IC とともに作成する。すなわち、p 形シリコン基板 101 上に選択的に p 形埋込層 (102)、103 および 104 を形成し、これらの上に n 形エビ

タキシヤル成長層¹⁴、凹¹⁵および凸¹⁶を成長させる。この△形エビタキシヤル成長層¹⁴、凹¹⁵および凸¹⁶の上にシリコン酸化膜¹⁷を形成し、このシリコン酸化膜¹⁷を拡散のマスクとして選択的に不純物を拡散させて¹⁸ p⁺形分離層¹⁹並びに¹⁹ p⁺形コレクタウオール層²⁰、凹¹⁵および凸¹⁶を形成する。次に、シリコン酸化膜¹⁷の所定個所に拡散窓²¹を形成し、この拡散窓²¹を通して不純物を拡散させて、n-p-n形TR(II)のp形ベース層²²および第2の保護素子(200)のp形抵抗層²³を同時に形成する。なお、この場合p形抵抗層²³は別個の選択拡散技術またはイオン注入技術などによつて形成してもよい。次に、n-p-n形TR(II)の△形ベース層²²並びに△形エビタキシヤル成長層¹⁴、凹¹⁵および凸¹⁶の上にシリコン酸化膜¹⁷をマスクとして選択拡散によりn-p-n形TR(II)のエミッタ拡散層²⁴およびコレクタコンタクト層²⁵、第2の保護素子(200)のコレクタコンタクト層²⁵並びに第1の保護素子(100)のp形抵抗層²³を同時に形成する。なおこの場合、エミッタ拡散層²⁴と向

p形基板²⁶とで構成される逆方向ダイオードで電圧クランプされる。一方、第1の保護素子(100)のp形抵抗層²³と第2の保護素子(200)の△形抵抗層²³とによつて電圧降下させるとともに、第2の保護素子(200)のp形抵抗層²³と△形エビタキシヤル成長層¹⁴とで構成されるダイオードを順バイアスさせ、△形エビタキシヤル成長層¹⁴とp形基板²⁶との間の接合容量でバイパスされサージ性の異常電圧はn-p-n形TR(II)に印加されない。

また、負極性の異常過電圧が入力端子¹⁶に印加された場合は第1の保護素子(100)の△形抵抗層²³と△形基板²⁶とで構成されるダイオードが順バイアスされ、これによつてバイパスされて負極性の異常過電圧はn-p-n形TR(II)に印加されない。このようにして、この実施例ではサージ電圧などの異常過電圧入力に対してICを十分保護することができる。

第4図はこの発明の効果を示すための特性図で、縦軸に半導体装置の破壊電圧(BV)を、横軸にはコンデンサチャージ法によつてコンデンサチャージ

時に形成した△形抵抗層²³は別個の選択拡散工程で形成してもよい。次にシリコン酸化膜¹⁷を周知のエッチング技術によつて選択的にエッチングして電極用開口部をそれぞれ形成した後、アルミニウムなどの金属の蒸着とホトエッチング技術とを用いて、n-p-n形TR(II)のベース電極²⁷、エミッタ電極²⁸およびコレクタ電極²⁹、第1の保護素子(100)の電極³⁰および³¹、並びに第2の保護素子(200)の電極³²、凹¹⁵および凸¹⁶を形成する。なお、このとき第1の保護素子(100)の入力側の電極³⁰は第3回に示すようにポンディング電極³³を兼ねるよう構造に形成し、外部端子¹⁶に接続され、かつ、第1の保護素子(100)、第2の保護素子(200)およびn-p-n形TR(II)の各相互間はそれぞれ1本の金属配線³⁴で接続されるよう構成する。

以上のように、この実施例では第1の保護素子(100)および第2の保護素子(200)が直列にICの入力端子¹⁶から入力回路に挿入されているので、入力端子¹⁶に正極性の異常過電圧が印加された場合、第1の保護素子(100)のp形抵抗層²³と

電圧を半導体装置の特定の端子に印加して破壊試験を行なつたときのコンデンサ容量Cをとつて示してある。第1回に示したような半導体装置について、この発明を適用して入力回路に保護素子を挿入した場合の特性を実線Aで示し、保護素子を用いない場合の特性を破線Bで示す。図示のように、入力回路に保護素子を挿入することによつて、破壊電圧は格段に改良される。

上記実施例では、¹⁹ p⁺形コレクタウオール層²⁰、凹¹⁵および凸¹⁶はそれぞれ¹⁹ p⁺形埋込層²¹、凹¹⁵および凸¹⁶に接続され、また一方それぞれ¹⁹ p⁺形コレクタコンタクト層²⁵、コレクタコンタクト層²⁵および¹⁹ p⁺形抵抗層²³に接続されているが、¹⁹ p⁺形コレクタウオール層²⁰、凹¹⁵および凸¹⁶はなくともよく、更に¹⁹ p⁺形埋込層²¹、凹¹⁵および凸¹⁶はなくともよい。また、第1の保護素子(100)のp形抵抗層²³は特別に設けず、△形エビタキシヤル成長層¹⁴を抵抗層として使用するようにしてもよい。更に、第2の保護素子(200)の△形コレクタコンタクト層²⁵および¹⁹ p⁺形コレクタウオール層²³は△形抵抗層²³に高電

圧サージが印加された場合の空乏層の広がり、または寄生MOSトランジスタ効果を防止するためには、p形抵抗層を囲む環状に形成してもよい。なお、第1の保護素子(100)の電極はポンディング電極を兼ねるようしたが、別々に形成してもよい。更に、この実施例では第1の保護素子(100)と第2の保護素子(200)とを用いたが、どちらか一方のみでもよい。

また、この実施例では保護対象となるICの入力半導体素子をn-p-n形TRで構成したが、p-n-p形TRまたはMOS形TRで構成した場合にもこの発明は適用できる。更に、半導体基板はシリコン基板に限らず、ガリウム砒素などの他の半導体材料を用いた場合にも適用できる。

以上詳述したように、この発明になる半導体集積回路装置では、この集積回路装置内に一体に組み込まれ、抵抗半導体層およびこれを囲んでこの抵抗半導体層との間にアロ接合を構成する導電形の異なる半導体領域からなる保護素子を介して入力信号を供給するようICしたので、外付きの保護

素子を必要とせず異常入力過電圧に対する大きな耐量を得られ、小形で高信頼性が達成できる。また、その構成上、特別な製造方法を必要とせず、容易に安価に製造することができる。

4. 図面の簡単な説明

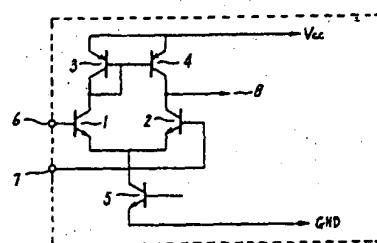
第1図はこの発明を適用すべきICの入力回路の一部を示す回路図、第2図はこの発明の一実施例の構成を示す断面図、第3図はその上面からみた平面図、第4図はこの発明の効果を示すための特性図である。

図において、(1)は入力トランジスタ、(6)は入力端子、(4)は第1導電形の半導体基板、(4)、(4)および(4)は第2導電形領域、(4)は第1導電形の分離層、(4)は第2導電形の第1の抵抗層、(4)は第1の導電形の第2の抵抗層、(100)は第1の保護素子、(200)は第2の保護素子である。

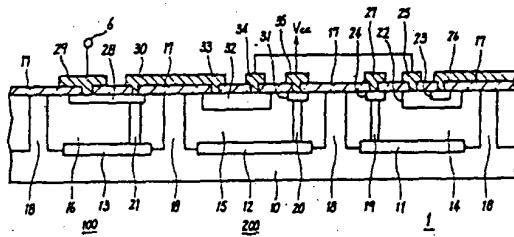
なお、図中同一符号は同一または相当部分を示す。

代理人 鳥野信一(外1名)

第1図



第2図



手続補正書(自発)

昭和 56年 8月 26日

特許庁長官殿

適

1. 事件の表示 特願昭56-10981号

2. 発明の名称 半導体集積回路装置

以上

3. 補正をする者

事件との関係 特許出願人
 住所 東京都千代田区丸の内二丁目2番3号
 名称(601) 三菱電機株式会社
 代表者 ~~三井藤井和~~
 片山 仁八郎

4. 代理人 住所 東京都千代田区丸の内二丁目2番3号
 氏名(6699) 三菱電機株式会社内
 弁理士 葛野 信一

(連絡用印)特許庁

5. 補正の対象

明細の発明の詳細な説明の欄

6. 補正の内容

明細の第9頁第6~9行に「順バイアスさせ、
 □形-----印加されない。」とあるのを「順
 バイアスさせて、正偏性の異常過電圧は□形T
 R(1)に印加されない。」と訂正する。